

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/421

In re patent application of

Sang-yoon JEON, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: STRUCTURE AND RADIO FREQUENCY VARIABLE CAPACITOR AND METHOD
MANUFACTURING THE SAME

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

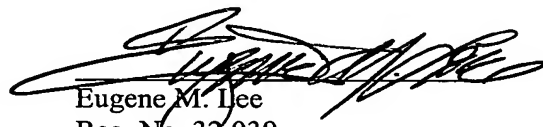
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-68574, filed November 6, 2002.

Respectfully submitted,

November 6, 2003
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0068574
Application Number

출원년월일 : 2002년 11월 06일
Date of Application NOV 06, 2002

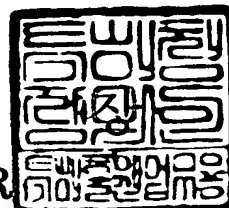
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 02 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0014
【제출일자】	2002.11.06
【국제특허분류】	H01L
【발명의 명칭】	고주파용 가변 캐패시터 구조 및 그 제조방법
【발명의 영문명칭】	Structure of radio frequency variable capacitor and method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	전상윤
【성명의 영문표기】	JEON, Sang Yoon
【주민등록번호】	730412-1030016
【우편번호】	135-092
【주소】	서울특별시 강남구 삼성2동 46-2
【국적】	KR
【발명자】	
【성명의 국문표기】	서춘덕
【성명의 영문표기】	SUH, Chun Deok
【주민등록번호】	691126-1406412

【우편번호】 449-840
【주소】 경기도 용인시 수지읍 동부아파트 101동 1304호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
이해영 (인)
【수수료】
【기본출원료】 15 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 9 항 397,000 원
【합계】 426,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

CMOS 공정을 이용하여 Q 인자값을 향상시킬 수 있는 고주파용 가변 캐패시터 구조 및 그 제조방법이 개시된다. 고주파용 가변 캐패시터 구조는 제1 최소값과 제1 최대값 사이의 캐패시턴스 가변범위를 갖는 가변 캐패시터 구조에 있어서, 상기 제1 최소값보다 작은 제2 최소값과 상기 제1 최대값보다 큰 제2 최대값 사이의 캐패시턴스 가변범위를 갖는 제1 캐패시터부; 및 상기 제1 캐패시터부에 직렬접속되며, 상기 제1 캐패시터부의 Q 인자값에 따라서 결정되는 고정된 값의 캐패시턴스를 갖는 제2 캐패시터부를 포함한다. 이에 따르면, 종래의 단일 가변 캐패시터보다 기생저항성분을 감소시킴으로써 Q 인자를 개선시킬 수 있고, 이를 채택하는 용량성 튜닝을 요하는 회로의 위상잡음 및 전력소비를 줄일 수 있을 뿐 아니라, CMOS 공정을 이용하여 제작함으로써 다른 CMOS 회로들과 원칩화하기가 용이한 이점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

고주파용 가변 캐패시터 구조 및 그 제조방법 {Structure of radio frequency variable capacitor and method of manufacturing the same}

【도면의 간단한 설명】

도 1은 Q 인자와 주파수와의 관계를 나타내는 그래프,

도 2는 본 발명에 따른 고주파용 가변 캐패시터가 적용되는 장치의 개략적인 구조를 나타낸 도면,

도 3은 도 2에 도시된 본 발명에 따른 고주파용 가변 캐패시터의 등가회로의 일예를 보여주는 도면, 및

도 4는 본 발명에 따른 가변 캐패시터와 종래의 가변 캐패시터의 Q 인자 대 주파수 관계를 비교한 그래프이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 가변 캐패시터에 관한 것으로서, 특히 CMOS 공정을 이용하면서 Q 인자 (Quality Factor)를 향상시킬 수 있는 고주파용 가변 캐패시터 구조 및 그 제조방법에 관한 것이다.

<6> 이동통신시스템에 있어서 RF(Radio Frequency) 블럭은 여러 주파수대역을 지원하도록 설계되며, 특히 주파수 대역과 직접적으로 관련된 필터에 사용되는 캐패시터는 각 주

파수 대역에 대해 서로 다른 캐패시턴스값을 갖는 가변 캐패시터를 사용해야 한다. 또한, RF 블럭의 구성요소중 전압제어발진기(Voltage Controlled Oscillators:VCO)는 가변 캐패시터에 가해지는 전압을 조정하여 캐패시턴스의 변화를 얻고, 이를 통해 공진주파수를 바꿀 수 있게 한다. 이와 같이 가변 캐패시터는 RF 블럭의 튜너블 필터나 전압제어발진기에 있어서 매우 중요한 소자로 대두되고 있다.

<7> 한편, 이동통신시스템의 최근 추세는 실리콘 공정 기술을 이용한 RF IC의 개발에 있고, RF IC의 설계에 있어서 직면하고 있는 문제는 수십 GHz 의 주파수대역에서 수동소자의 적절한 모델링에 있다. 특히, 인덕터와 가변 캐패시터와 같은 수동소자를 사용하는 전압제어발진기는 집적화되기 어려운 점이 있다. 왜냐하면, 수동소자를 수 GHz의 고주파수 대역에서 사용하게 되면 Q 인자값이 낮아질 뿐 아니라, 주파수가 증가함으로써 기판과의 커플링 효과 및 표피 효과(skin effect) 등에 의한 손실이 큰 영향을 미치게 되기 때문이다.

<8> 이러한 문제점을 해결하기 위하여 MEMS(Micro-Electro-Mechanical Systems) 기술을 이용하여 가변 캐패시터를 구현하는 방법이 U.S.P. 6,355,534 호에 개시되어 있다. U.S.P. 6,355,534 호에 개시된 MEMS 가변 캐패시터는 공기를 유전체로 사용하기 때문에 높은 Q 인자값을 갖게 되어 넓은 동적 범위의 튜너블 필터와 낮은 위상잡음의 전압제어발진기 등에 적용할 수 있고, 넓은 튜닝 범위를 가질 뿐 아니라 공정이나 온도 변화에 대한 보상이 용이한 장점이 있다. 또한, MEMS 가변 캐패시터는 낮은 위상잡음을 가지며 매우 낮은 삽입손실과 전력소비가 작은 장점이 있다.

<9> 그러나, 이러한 장점에도 불구하고, MEMS 가변 캐패시터는 튜닝 전압이 적게는 5V 이상에서부터 많게는 수십 V로 높기 때문에 기존의 저소비전력형 소자, 특히 CMOS 및 RF

통신기기의 저전압동작시스템에 사용하기에는 많은 어려움이 있을 뿐 아니라, CMOS RF IC에 집적시키기 위해서는 별도의 공정을 더 필요로 하기 때문에 공정 단가가 상승하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <10> 본 발명이 이루고자 하는 기술적 과제는 내부 기생저항성분을 감소시킴으로써 CMOS 공정을 이용하여 Q 인자를 향상시킬 수 있는 고주파용 가변 캐패시터 구조를 제공하는데 있다.
- <11> 본 발명이 이루고자 하는 다른 기술적 과제는 상기와 같은 구조의 가변 캐패시터를 제조하는 방법에 있다.
- <12> 상기 기술적 과제를 달성하기 위하여 본 발명에 따른 고주파용 가변 캐패시터 구조는 제1 최소값과 제1 최대값 사이의 캐패시턴스 가변범위를 갖는 가변 캐패시터구조에 있어서, 상기 제1 최소값보다 작은 제2 최소값과 상기 제1 최대값보다 큰 제2 최대값 사이의 캐패시턴스 가변범위를 갖는 제1 캐패시터부; 및 상기 제1 캐패시터부에 직렬접속되며, 상기 제1 캐패시터부의 Q 인자값에 따라서 결정되는 고정된 값의 캐패시턴스를 갖는 제2 캐패시터부를 포함한다.
- <13> 여기서, 상기 제1 캐패시터부는 MOS 캐패시터로 이루어지며, 상기 제2 캐패시터부는 MIM 캐패시터, 프랙탈 캐패시터 및 폴리스틸렌 캐패시터 중 하나로 이루어지는 것이 바람직하다. 또한, 상기 제2 캐패시터부는 상기 제1 캐패시터부의 게이트 전극, 소오스 및 드레인 전극 중 어느 하나에 형성되는 것이 바람직하다.

<14> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 따른 고주파용 가변 캐패시터 제조방법은 제1 최소값과 제1 최대값 사이의 캐패시턴스 가변범위를 갖는 가변 캐패시터 제조방법에 있어서, (a) MOS 공정을 이용하여, 상기 제1 최소값보다 작은 제2 최소값과 상기 제1 최대값보다 큰 제2 최대값 사이의 캐패시턴스 가변범위를 갖는 제1 캐패시터부를 형성하는 단계; 및 (b) 상기 (a) 단계에서 형성되는 상기 제1 캐패시터부에 직렬로 형성되며, 상기 제1 캐패시터부의 Q 인자값에 따라서 결정되는 고정된 값의 캐패시턴스를 갖는 제2 캐패시터부를 형성하는 단계를 포함한다.

【발명의 구성 및 작용】

<15> 이하, 본 발명의 바람직한 실시예에 대하여 첨부된 도면을 참조하여 좀 더 상세히 설명하기로 한다.

<16> 도 1은 Q 인자와 주파수와의 관계를 나타내는 그래프로서, 주파수가 높아질수록 Q 인자가 낮은 값을 가짐을 알 수 있다.

<17> 캐패시터에 있어서 Q 인자는 소자의 손실 정도를 나타내는 것으로서, 임피던스의 허수부/실수부로 표현되며, 이때 허수부는 캐패시턴스값을, 실수부는 저항값을 각각 나타낸다. 수 MHz 이상의 주파수에서 Q 인자는 다음 수학식 1과 같이 간략화되어 질 수 있다.

<18> 【수학식 1】 $Q = 1 / (2\pi fRC)$

<19> 여기서, R은 캐패시터내의 기생 저항값, C는 공핍층 캐패시턴스를 각각 나타낸다.

<20> 상기 수학식 1에 따르면, 고주파수 대역에서 높은 Q 인자를 얻기 위해서는 캐패시터내의 기생저항 성분을 감소시켜야 함을 알 수 있다.

<21> 도 2는 본 발명에 따른 가변 캐패시터가 적용되는 장치의 개략적인 구조를 나타낸 도면으로서, 용량성 튜닝을 요하는 회로(21)와 가변 캐패시터 유닛(23)로 이루어진다. 여기서, 용량성 튜닝을 요하는 회로(21)에는 고주파필터, 증폭기 또는 전압제어발진기 등이 포함된다. 가변 캐패시터 유닛(23)은 제1 최소값(C_{min1})과 제1 최대값(C_{max1}) 사이의 캐패시턴스 가변범위를 필요로 하는 경우, 제1 최소값보다 작은 제2 최소값(C_{min2})과 상기 제1 최대값보다 큰 제2 최대값(C_{max2}) 사이의 캐패시턴스 가변범위를 갖는 제1 캐패시터부(25)와, 제1 캐패시터부(25)에 직렬접속되며, 상기 제1 캐패시터부(25)의 Q 인자값에 따라서 결정되는 고정된 값(C_{fix})의 캐패시턴스를 갖는 제2 캐패시터부(27)로 이루어진다.

<22> 여기서, 제1 캐패시터부(25)는 CMOS 캐패시터 제조공정에 의해 형성되고, 제2 캐패시터부(27)는 MIM(Metal-Insulator-Metal) 캐패시터, 프랙탈(fractal) 캐패시터 또는 폴리스틸렌 캐패시터 등의 반도체 제조공정에 의해 형성된다. 이들 MIM, 프랙탈 또는 폴리스틸렌 캐패시터들은 선형적이며 높은 Q 인자값을 가질 뿐 아니라 온도 변화에 덜 민감하다는 특성이 있다.

<23> 제2 캐패시터부(27)는 CMOS 캐패시터인 제1 캐패시터부(25)의 게이트 전극 또는 소오스/드레인 전극으로부터 연장되는 게이트 라인 또는 소오스/드레인 전극상에 절연층 도포단계, 도전층 도포단계, 포토레지스트층 생성단계, 마스크단계 및 식각단계 등을 추가로 실시함으로써 제조할 수 있다. 물론, 제2 캐패시터부(27)의 제조공정에 앞서 게이트 라인 또는 소오스/드레인 라인 중 소정 부분을 1차 금속으로 금속화(metalization)하는 단계가 실시된다. 1차 금속으로는 티타늄(Ti), 백금(Pt), 은(Au) 등이 사용될 수 있

고, 절연층으로는 이산화실리콘(SiO_2), 질화실리콘(SiN) 등이 사용될 수 있고, 도전층으로는 은(Au) 등이 사용되어진다.

<24> 한편, 캐패시터는 두 평판의 면적과 두 평판 사이의 유전체의 유전상수에 비례하고, 두 평판의 간격에 반비례하므로, 제1 및 제2 캐패시터(25,27)의 원하는 캐패시터는 두 평판의 면적 또는 두 평판 사이의 간격을 변화시키거나, 두 평판 사이의 유전체를 변화시키는 방법을 채택하여 여러번의 튜닝과정을 거치거나 실험적으로 얻어질 수 있다. 평판의 간격 또는 면적을 변화시키기 위해서 정전기력 방식, 열적 방식, 전자기적 방식 등의 마이크로 액츄에이터가 채택될 수 있다. 특히, 제1 캐패시터부(25)는 면적을 증가시킴으로써 캐패시터를 증가시키게 된다. 이와 같이 제1 캐패시터부(25)의 면적을 증가시키면 핑거(finger) 수가 병렬적으로 늘어나게 되고, 이에 따라 게이트저항 또는 소오스/드레인저항과 채널저항이 각각 병렬로 연결됨으로써 전체 저항값이 감소하게 된다.

<25> 한편, 제1 캐패시터부(25)의 게이트 전극 또는 소오스/드레인 전극에 직렬로 연결되는 제2 캐패시터부(27)의 캐패시터는 제1 캐패시터부(25)의 Q 인자값 및 제2 최소값과 제2 최대값 사이의 캐패시터 가변범위에 따라서 결정되어진다. 즉, 제1 캐패시터부(25)의 Q 인자값이 높으면 제1 캐패시터부(25)의 면적을 크게 하지 않아도 되기 때문에 작은 값의 캐패시터를 갖는 제2 캐패시터부(27)를 연결한다. 반면, 제1 캐패시터부(25)의 Q 인자값이 작다면 제1 캐패시터부(25)의 면적을 크게 해야 되기 때문에 원하는 제1 최소값과 제1 최대값을 얻기 위하여 큰 값의 캐패시터를 갖는 제2 캐패시터부(27)를 연결한다.

<26> 도 3은 도 2에 도시된 본 발명에 따른 가변 캐패시터 유닛(23)의 등가회로의 일 예를 보여주는 도면으로서, 제1 캐패시터부(25)와 제2 캐패시터부(27)의 등가회로는 연결되는 주변회로에 따라서 다양한 형태로 나타날 수 있다. 여기서는 제2 캐패시터부(27)가 제1 캐패시터부(25)의 게이트 전극에 직렬 접속되는 예를 나타낸 것이다.

<27> 도 3을 참조하면, 제1 캐패시터부(25)는 저항(R_2, R_3, R_4), 캐패시터(C_4, C_5, C_6) 및 인덕터(L_2, L_3)으로 이루어지며, 제2 캐패시터부(27)는 저항(R_1), 캐패시터(C_1, C_2, C_3) 및 인덕터(L_1)로 이루어진다. 각 구성요소를 살펴보면, 저항(R_1)은 제2 캐패시터부(27)의 직렬 기생저항, 캐패시터(C_1)는 제2 캐패시터부(27)의 실질적인 캐패시턴스, 캐패시터(C_2)와 캐패시터(C_3)는 기판의 기생 캐패시턴스, 인덕터(L_1)는 제2 캐패시터부(27)의 직렬 기생인덕턴스를 각각 나타낸다. 한편, 저항(R_2)은 기판의 기생저항, 저항(R_3)은 MOS 채널저항, 저항(R_4)은 소오스/드레인 전극(S/D, 33)의 기생저항, 캐패시터(C_4)는 제1 캐패시터부(25)의 실질적인 가변 캐패시턴스, 캐패시터(C_5)는 기판의 기생 캐패시턴스, 캐패시터(C_6)는 오버랩 캐패시턴스, 인덕터(L_2)는 게이트 전극(G, 32)의 기생인덕턴스, 인덕터(L_3)는 소오스/드레인 전극(S/D, 33)의 기생인덕턴스를 각각 나타낸다. 여기서, 참조번호 31과 33은 각각 용량성 튜닝을 요하는 회로(21)에 접속되는 제1 및 제2 전극단자로 볼 수 있다.

<28> 본 발명에 따른 가변 캐패시터 유닛(23)의 Q 인자를 조정하는 요인으로서, 기생 저항값과 캐패시턴스를 들 수 있는데, 상기 구성에서와 같이 캐패시턴스는 원하는 제1 최소값보다 작은 제2 최소값($C_{\min 2}$)과 원하는 제1 최대값보다 큰 제2 최대값($C_{\max 2}$) 사이의 캐패시턴스 가변범위를 갖는 제1 캐패시터부(25) 즉, 캐패시터(C_4)와, 소정의 고정된

값(C_{fix})의 캐패시턴스를 갖는 제2 캐패시터부(27) 즉, 캐패시터(C_1)을 직렬로 연결함으로써 제1 최소값(C_{min1})과 제1 최대값(C_{max1}) 사이의 가변범위를 얻을 수 있다.

<29> 한편, 제1 캐패시터부(25)에서는 저항(R_3, R_4)가, 제2 캐패시터부(27)에서는 저항(R_1)가 기생저항 성분에 해당하는데, 제1 캐패시터부(25)의 기생저항 성분에 비하여 제2 캐패시터부(27)의 기생저항 성분이 상대적으로 매우 작기 때문에 무시가능하므로 기생저항 성분은 제1 캐패시터부(25)의 기생저항 성분만 고려될 수 있다. 그런데, 제2 최소값(C_{min2})과 제2 최대값(C_{max2}) 사이의 가변범위를 갖는 제1 캐패시터부(25)가, 단일 가변 캐패시터를 이용하여 제2 최소값(C_{min2})보다 큰 제1 최소값(C_{min1})과 제2 최대값(C_{max2})보다 작은 제1 최대값(C_{max1})의 가변범위를 갖도록 설계하는 경우보다 캐패시턴스가 더 커지게 됨에 따라서 저항성분은 핑거수에 비례하여 작아지기 때문에 제1 캐패시터부(25)의 기생저항 성분인 저항(R_3, R_4)는 단일 가변 캐패시터를 이용할 때보다 작아지게 된다.

<30> 즉, 상기와 같은 가변 캐패시터인 제1 캐패시터부(25)와 고정 캐패시터인 제2 캐패시터부(27)로 직렬로 연결하게 되면, 전체적인 기생저항성분이 감소하게 되고, 그 결과 Q 인자값이 증가한다.

<31> 도 4는 본 발명에 따른 가변 캐패시터와 종래의 가변 캐패시터의 Q 인자 대 주파수 관계를 비교한 그래프로서, 41은 종래의 단일 가변 캐패시터인 경우, 43은 본 발명에 따른 가변 캐패시터인 경우를 각각 나타낸다. 도 4를 살펴보면, 본 발명에 의한 가변 캐패시터의 경우 종래에 비해 Q 인자값이 약 3배 정도 개선되어짐을 알 수 있다. 이와 같이 고주파 대역에서 발생하는 가변 캐패시터의 낮은 Q 인자를 개선시킴으로써 음성저

항을 이루는 능동소자의 트랜스 컨덕턴스가 낮아져서 열잡음에 의한 전압제어발진기의 위상잡음을 줄일 수 있고, RF 송수신기에서 전압제어발진기가 차지하는 전력소비를 줄일 수 있다.

<32> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

<33> 상술한 바와 같이, 본 발명에 따른 가변 캐패시터 구조는 종래의 단일 가변 캐패시터보다 기생저항성분을 감소시킴으로써 Q 인자를 개선시킬 수 있고, 이를 채택하는 용량성 튜닝을 요하는 회로의 위상잡음 및 전력소비를 줄일 수 있을 뿐 아니라, CMOS 공정을 이용하여 제작함으로써 다른 CMOS 회로들과 원칩화하기가 용이한 이점이 있다.

【특허청구범위】**【청구항 1】**

제1 최소값과 제1 최대값 사이의 캐패시턴스 가변범위를 갖는 가변 캐패시터구조에 있어서,

상기 제1 최소값보다 작은 제2 최소값과 상기 제1 최대값보다 큰 제2 최대값 사이의 캐패시턴스 가변범위를 갖는 제1 캐패시터부; 및

상기 제1 캐패시터에 직렬접속되며, 상기 제1 캐패시터부의 Q 인자값과 상기 제2 최소값과 제2 최대값의 캐패시턴스 가변범위에 따라서 결정되는 고정된 값의 캐패시턴스를 갖는 제2 캐패시터부를 포함하는 고주파용 가변 캐패시터 구조.

【청구항 2】

제1 항에 있어서, 상기 제1 캐패시터부는 MOS 캐패시터로 이루어지는 고주파용 가변 캐패시터 구조.

【청구항 3】

제2 항에 있어서, 상기 제2 캐패시터부는 MIM 캐패시터, 프랙탈 캐패시터 및 폴리 스틸렌 캐패시터중의 하나로 이루어지는 고주파용 가변 캐패시터 구조.

【청구항 4】

제2 항에 있어서, 상기 제2 캐패시터부는 상기 제1 캐패시터부의 게이트 전극에 형성되는 고주파용 가변 캐패시터 구조.

【청구항 5】

제2 항에 있어서, 상기 제2 캐패시터부는 상기 제1 캐패시터부의 드레인 또는 소오스 전극에 형성되는 고주파용 가변 캐패시터 구조.

【청구항 6】

제1 최소값과 제1 최대값 사이의 캐패시턴스 가변범위를 갖는 가변 캐패시터 제조 방법에 있어서,

(a) MOS 공정을 이용하여, 상기 제1 최소값보다 작은 제2 최소값과 상기 제1 최대값보다 큰 제2 최대값 사이의 캐패시턴스 가변범위를 갖는 제1 캐패시터부를 형성하는 단계; 및

(b) 상기 (a) 단계에서 형성되는 상기 제1 캐패시터부에 직렬로 접속되며, 상기 제1 캐패시터부의 Q 인자값 및 상기 제2 최소값과 제2 최대값의 캐패시턴스 가변범위에 따라 결정되는 고정된 값의 캐패시턴스를 갖는 제2 캐패시터를 형성하는 단계를 포함하는 고주파용 가변 캐패시터 제조방법.

【청구항 7】

제6 항에 있어서, 상기 제2 캐패시터부는 MIM 캐패시터, 프랙탈 캐패시터 및 폴리 스틸렌 캐패시터중의 하나로 이루어지는 고주파용 가변 캐패시터 제조방법.

【청구항 8】

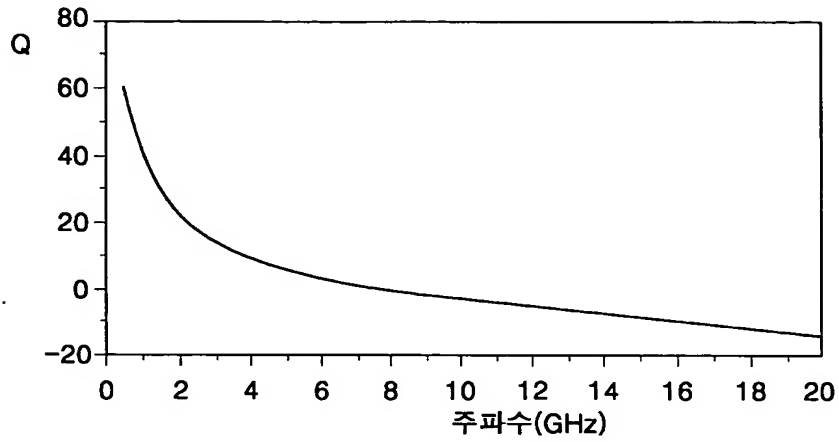
제6 항에 있어서, 상기 제2 캐패시터부는 상기 제1 캐패시터부의 게이트 전극에 형성되는 고주파용 가변 캐패시터 제조방법.

【청구항 9】

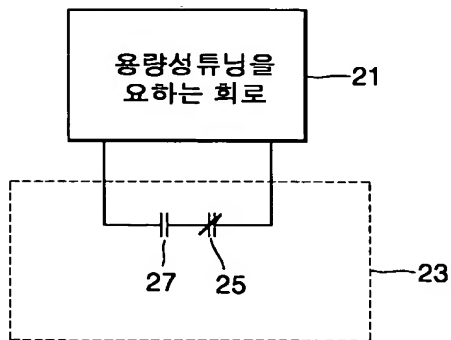
제6 항에 있어서, 상기 제2 캐패시터부는 상기 제1 캐패시터부의 드레인 또는 소오스 전극에 형성되는 고주파용 가변 캐패시터 제조방법.

【도면】

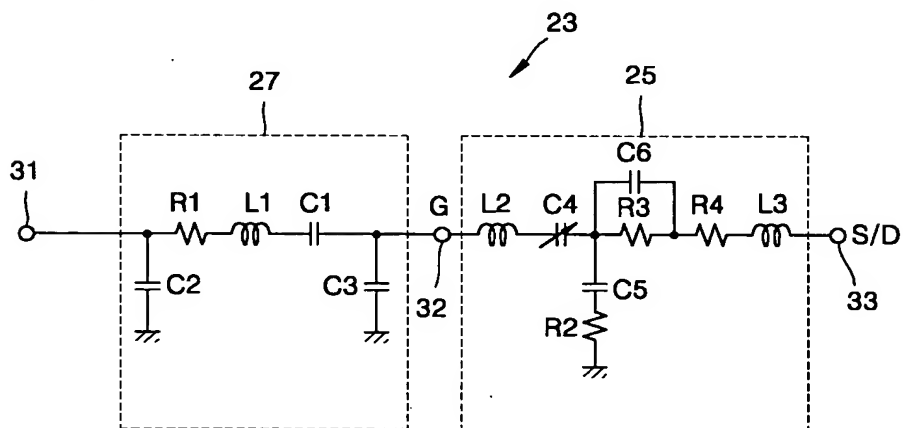
【도 1】



【도 2】



【도 3】



【도 4】

